

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-12687

⑬ Int.Cl.⁸

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)1月17日

G 11 C 11/401
H 01 L 27/108

8522-5B G 11 C 11/34 3 6 2 F
8624-5F H 01 L 27/10 3 2 5 T

審査請求 未請求 請求項の数 1 (全8頁)

⑮ 発明の名称 多重線キャッシュDRAMを用いた処理システム

⑯ 特 願 平1-80240

⑰ 出 願 平1(1989)3月30日

優先権主張 ⑱ 1988年3月31日 ⑲ 米国(US) ⑳ 175875

㉑ 発 明 者 ケイス イー・ディー アメリカ合衆国テキサス州オースチン、ハンコック ドラ
フェンドーフ イブ 3504

㉒ 出 願 人 テキサス インスツル アメリカ合衆国テキサス州ダラス、ノース セントラル
メンツ インコーポレ エクスプレスウェイ 13500
イテツド

㉓ 代 理 人 弁理士 浅 村 皓 外2名

明 細 書

1. 発明の名称

多重線キャッシュDRAMを用いた処理システム

2. 特許請求の範囲

(1) 機能上、行と列に配置された個々のメモリ・セルのアレーを含み、個々のメモリ・セルの前記アレーのメモリ・セルの行から、データ信号を受けまた記憶するバッファを含み、このバッファは一回以上のブロックに分けられることを含むメモリ装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は半導体メモリに関連し、詳細には静的行列デコード(SCD)型のダイナミック・ランダム・アクセス・メモリ・アレー、及びそのような装置を用いるシステムに関連する。

従来の技術及び問題点

近年データ処理システムの個々の要素が、様々な割合でまた様々な方向において改良されている。

プロセッサ、特にマイクロプロセッサは、より強力であり高速度になり、非常に速いクロック速度で実行できるようになった。一方メモリは、著しく高速度になってはいないが、そのビット・サイズを何倍にも増やし、1ビット当りの費用を低減させた。これは特にダイナミック・ランダム・アクセス・メモリ(DRAM)に当てはまる。よってこれらの高密度メモリを、マイクロプロセッサがデータを取り出し、利用し、送り戻す速度とより互換性のある速度で、アクセスするために、多くの方法が提案され、開発されてきた。この様な方法の一つに、キャッシュ・メモリを用いて、主記憶装置からのデータの一部を記憶する方法がある。この方法は、少なくとも二つの条件がそろえば成功する。二つの条件というのは、キャッシュ・メモリとして用いられるメモリのアクセス時間が、主記憶装置よりも著しく速いことと、このキャッシュ・メモリに記憶されるデータの一部が、専門用語で「ヒット」と言う、マイクロプロセッサによりアクセスされる可能性が高いことである。こ

これらのキャッシュ記憶装置の実現は、本技術分野において開発されている。

静的ランダム・アクセス・メモリ(SRAM)装置は、DRAMメモリと比べて、その速いアクセス時間のために、キャッシュ・メモリに用いられてきた。例えば、DRAMの一般的なアクセス時間は、120ナノ秒であるが、一方SRAMメモリのアクセスは、一般的に20乃至40ナノ秒である。しかしながら現在SRAM装置の構造では、1ビット当りのチップ空間の割合が高く、よってそれは高密度の主記憶装置には非常に不適当である。またSRAM装置は一般的に、DRAM装置よりも著しく大きな電力を消費する。

しかしながらSRAMキャッシュ・メモリを、DRAMメモリ・アレーに置くことが考案されている。この方法により、DRAMをアクセスする際に生じる速度の問題に、何らかの解決策が提供される。この方法による欠点は次のとおりである。
1) ヒットの可能性を高くするためには、比較的に大きなキャッシュを設けなければならないと信

じられてきた。SRAMセルに必要な空間のため、DRAMチップに妥当な寸法のキャッシュを設けることにより、許容限度以上に空間が占められた。
2) キャッシュ記憶装置を実現するのに必要な論理及びレジスタ・サポートもまた、チップ上で著しく物理的な空間を占める。占められる空間が増えることは、DRAMチップではおそらく許容されないが、これをオフ・チップに配置すると、バス相互接続を必要とし、また大部分の並列通信に先行することにより、オン・チップ配置の速度利点が失われる。

IEEEコンピュータ・ソサエティ・プレスの、コンピュータ構造の第11回論文集の、グッドマンとティアングによる、「メモリ階層としての静的列RAMの利用」(1984年)の第167乃至174ページでは、現在の静的列デコードDRAM装置の、センス・アンプ行か、静的行バッファを、キャッシュ・メモリとして使用することを提案している。静的行バッファは既に装置上にあるので、この提案により、密度の低いSRAMキ

ャッシュ・メモリに対して、許容限度以上にチップ上の空間を用いる問題が解決される。しかしながらこの方法により、行は主記憶装置、DRAM、アレー列の数と同等なメモリ・セルを含むが、キャッシュ・メモリの行をたった一個しか提供しないという欠点が生じる。よって「ヒット」の可能性は、一般的にそれ程高くない。

グッドマンとティアングの提案を更に改良すると、「1乗」の装置の代わりに、「2乗」または「4乗」のメモリ装置が使用される。言い換えると、例えば1Mビット容量を誇るために、一つの装置の中に、1024×1024のメモリ・セルを持ち、静的行バッファが一個あり、長さが1024セルの一個のDRAMアレーを使う代わりに、512×512のメモリ・セルを有する四個の256Kビット・アレーを持ち、また各々に静的行バッファがあり、長さが512セルの装置が用いられる。この構造では、四個の静的行バッファを用いることにより、四個の個別にアクセス可能な「キャッシュ」行が形成される。しかしながらこ

の解決策には欠点がある。この様な「4乗」の装置は、「1乗」の装置に比べて費用が掛かりまた一般的ではない。「4乗」の装置は、標準的な誤り訂正コード及び方式を用いて、誤り訂正をするのが極めて難しい。「4乗」の装置は「1乗」の装置よりも多くのI/Oピンを必要とし、よってより大きなパッケージを必要とする。「4乗」の装置は「1乗」の装置よりも多くの電力を消費する。「4乗」の装置はより多くのオンチップ・アドレス指定論理を必要とし、また「1乗」の装置よりも多く、オフチップ・アドレス指定または非多倍化機能を必要とし、また四個の静的行バッファを収めるために、「1乗」の装置の二倍以上の空間を必要とするであろう。

問題点を解決するための手段及び作用

キャッシュ記憶装置で高いヒット率を達成するためには、メモリ・セルの数という点では大きなキャッシュが必要であることは広く知られている。しかしながら、統計的なモデル分析と実際にソフトウェアを実行することにより、従来のソフトウ

エアを実行する従来のマイクロプロセッサ・システムでは、キャッシュ・システムでキャッシュされたメモリ・アレーの分離したセグメントの数は、キャッシュのヒット率に対して、セグメントの長さよりも、もっと重要であるということが発見された。例えば、単一のメモリ・アレー行からキャッシュされた1024メモリ・セルの数は、長さが512メモリ・セルのキャッシュ、または長さが256メモリ・セルのキャッシュよりも、従来の処理が実行される間、ヒットの可能性は著しく高くない。これは明らかに、従来のマイクロプロセッサとソフトウェアが、極めて頻りに連続してメモリの位置にアクセスすることを必要とするが、これらの連続的なアクセスは、ビットのランダム・アクセス指定の必要により、またメモリ動作で頻りに用いられる二つ及び三つのモードのアドレス指定の実行により妨害される。これらの妨害により、当然単一線キャッシュ・システムに、全キャッシュ列のダンピングが起こる。

この分析の結果、512メモリ・セルの長さの、

二つに分断して記憶されたアクセスされたブロックもしくは部分から成るキャッシュは、例えば1024メモリ・セルの長さの、単一に記憶されたアクセスされたブロックもしくは部分よりも、ヒットの可能性が高い。また、それぞれが256メモリ・セルの長さである、四個のその様なブロックもしくは部分は、メモリ・セルの全体の数は一定であるが、上述の一個もしくは二個のブロック構造よりも、高いヒット率を達成する。1ブロック当りのセル数をより少なくし、ブロック数をより多くしていけば、形成されたキャッシュのヒット率を増すのに効果的であるが、ブロックの数が16前後に達した後は、各ブロックをアドレスしまたアクセスするのに必要な論理及び制御は、達成されるヒット率の増加に比例して負担となる。しかしながら、この様な制御が更に改良され、より多くのブロックを実現させることが予想される。

本発明は、機能上、装置の幅に渡って広がる静的列バッファを持つ、従来のRAMアレーを提供し、この静的列バッファは機能上、二個かそれ以

上のブロックもしくは部分に分断されている。これらのブロックもしくは部分は、アレー自体をアドレスすることなくアクセス可能な多重キャッシュ線を、RAMアレーに提供する。

本発明は、多重の部分にまたはブロックに分けられたキャッシュ線CDRAMを用いる、データ処理システムを提供する。

本発明により、実行可能なキャッシュを設けるのに、許容の不可能なチップ空間は必要とされない。

更に本発明により、キャッシュがチップ上に形成され、よってデータ信号の並列動作が、容易に達成され得るであろう。

更に本発明により、多重線キャッシュが、「2線」、「4線」、または「n線」の装置の使用に煩らずに達成され得る。

また本発明は、高い「ヒット」の可能性を維持するキャッシュ記憶装置を提供する。

更に、本発明は静的RAMの要素を利用することにより、データ信号への早いアクセスを達成

する。

本発明に固有のこれら及び他の利点は、以下の説明及び図面から明らかになる。

実施例

第1図では、従来の静的列デコード・ダイナミック・ランダム・アクセス・メモリ・アレー100がブロック図で示される。ダイナミック・ランダム・アクセス・メモリのセルのn行とm列を持つ、メモリ・セル・アレー20が、参照番号5で示される、m並列接続路により、静的列デコード・バッファ(SCD)15へと接続される。SCDバッファと通信しているのは、列データ・マルチプレクサ25である。列データ・マルチプレクサ25は、例えば装置バス26で示されるアドレス入力線A0-A10を持つ。また入力としてA0-A10を持つのは、行アドレス・マルチプレクサ27である。従来の技術で良く知られるように、静的列デコード・ダイナミック・ランダム・アクセス・メモリ・アレーは、従来のように動作し、データ処理システムで、データを記憶しアク

セスする。公知のSCD DRAM装置の従来の動作とシステムは、ここの説明で修正されるもの以外、本発明のいかなる部分をも形成しない。

本発明を実施するシステムを、第2図を参照として説明する。このシステムには、キャッシュ/DRAM制御装置3と、行/列アドレス・マルチプレクサ5に接続するアドレス・バス2を持つ、中央処理装置(CPU)がある。キャッシュ/DRAM制御装置3は、CPU1に戻されるMISS信号出力11、行/列マルチプレクサ5に接続する行/列アドレス出力4、行アドレス・ストロープ出力8、及び列アドレス・ストロープ出力9を持ち、このうち後者二つの出力は、幾つかのDRAM装置7のそれぞれに接続する。行/列アドレス・マルチプレクサ5は、出力として、多重化行/列アドレス・バス6を持ち、これも幾つかのDRAM装置7のそれぞれに接続する。DRAM装置7は、CPUデータ・バス10を介して、CPU1へとデータを出力する。

ブロック3のキャッシュ/DRAM制御装置を、

5へ入力される。

本発明によるDRAM装置を、第4図を参照として説明する。DRAMは従来の構造のチャージ・アレー71を含む。しかしながらアレーは、本発明の範囲内で、静的ランダム・アクセスの變形であっても良い。時間多重化行/列信号は、バス6を介して装置へ入力される。タイミング及び制御回路76は、RAS信号8及びCAS信号9を受け、またDRAMの動作に必要なが、簡略化のためにここでは示されていない、例えばREAD/WRITE信号のような他の制御信号を受ける。回路線75を介して、チャージ・アレー71と並列通信するのは、一般的にセンス・アンプ・セルから成る、静的バッファ72である。本発明のチャージ・アレー71は、この図面では四個のブロックに分割されて図示されていることに留意されたい。場合により、分割されるかもしれないが、実際には、m列に配置されたmメモリ・セルのn行から機能上成るチャージ・アレーは、通常物理的にはブロックに分割されない。ここでは

第3図を参照にして、更に説明する。CPUアドレス・バス2が、コンパレータ34及びブロック・アドレス・デマルチプレクサ31に接続される。ブロック・アドレス・デマルチプレクサ31は、分割された静的列バッファの各ブロック部に対する行アドレス表示を記憶する、TAGレジスタ・ファイル32の分離したレジスタに機能上接続される。TAGレジスタ・ファイル32は、TAGアドレス・バス33により、コンパレータ34と通信する。

コンパレータ34は出力線11により、MISS信号をCPU1へ戻し、またDRAM制御装置35へと出力する。DRAM制御装置35の動作は本技術分野では良く知られており、よって詳細には説明しないが、これは行アドレス・ストロープ(RAS)の出力8、列アドレス・ストロープ(CAS)の出力9、及び行/列アドレス・セクタ4を持つ。RAS及びCAS信号線は、DRAM7のそれぞれに接続され、行/列アドレス・セクタ4は、行/列アドレス・マルチプレクサ

装置の動作の説明のために、分割器が示される。図様に、静的列バッファ72が分割線により、四個のブロックに分割されて示される。これらの線は、静的列バッファ72の物理的な分離を示すものではなく、機能上の分離であり、これは更に説明される物である。静的列バッファ72の各機能上のブロックは、ブロック・アドレス・デマルチプレクサ及び制御回路73に接続され、また列アドレス制御及びマルチプレクサ74に接続される。列アドレス制御及びマルチプレクサ回路は、CPUデータ・バス10に接続される。

システムの動作を、第2図乃至第5図を参照として説明する。例えばCPU1からの、メモリREADサイクルの開始に際して、通常キャッシュ/DRAM制御器が、行/列アドレス・マルチプレクサへの接続線4により、CPUアドレス・バス2から列アドレスを選ぶ。アドレスは、例えば第5図で示されるように、いくつかのフィールドに分割される。このアドレスは、DRAMアドレス・バス6へと多重化される。RAS及びCAS

は通常、繰8及び9で活動化されたままであり、よって公知のように、DRAMは静的アクセス・モードとなる。キャッシュ/DRAM制御装置3は、CPUアドレスからブロック・アドレス・フィールドをデコードし、デコードされたブロック・アドレスに唯一関連し、また静的列バッファ72のアドレスされたブロックに唯一関連する、TAGアドレス・レジスタ・ファイル32を選ぶ。TAGレジスタは、当然チャージ・アレー71の行アドレスに対応する行アドレスを含み、チャージ・アレー71から、現在静的列バッファ72のブロックにあるデータのブロックが通知される。TAGレジスタ・ファイル32からのTAGアドレスは、コンパレータ34へ出力され、ここでそれはバス2のコンパレータ34へのCPUアドレス入力と比較される。もし行アドレスとタグ・アドレスが等しいならば、これはキャッシュ・ヒットである。もしアドレスが等しくなければ、これはキャッシュ・ミスであり、コンパレータはミス繰11にミス信号を出力する。

化させる。これによりDRAMはアレー71のアドレスされた行から全行のデータを得て、静的列・バッファ72へ送る。DRAM制御装置35は次に、行/列マルチプレクサ5が列アドレス・フィールドをDRAMへ多重化するようにさせ、繰9のCASを活動化する。DRAMは、ブロック・アドレス・デマルチプレクサ73により、ブロック・アドレスをデコードし、静的列バッファ72の対応するブロックが、アレー71から列の対応するデータ・ブロックをロードするようにさせる。データの他のブロックは、静的列バッファへロードされない。DRAM制御装置はまた新しい行アドレスを、TAGレジスタ・ファイル32の対応するレジスタへロードする。列アドレス・フィールドは、CPUデータ・バスへ正しいデータ・ビットを出力するように用いられ、キャッシュ/DRAM制御装置は、CPUにデータを受けよう信号する。

本発明を利用するシステムの動作を、READサイクルに関して説明してきた。WRITEサイ

もしヒットが示されれば、キャッシュ/DRAM制御装置はもはや動作しない。なぜならば、制御装置3のこれらの動作の間、列アドレスはDRAMにより利用され、静的列バッファ72からデータ・ビットが選ばれるからである。データはDRAMからCPUデータ・バス10へ移され、CPUはそのメモリ・サイクルを完了する。

ミスが検出された際、制御装置3によりミス繰11に出力されたミス信号は、CPU1にデータ上で待つように信号を出す。もしシステムのタイミングが、データが既にデータ・バスにあるという状態ならば、データ・バス10のデータは無視されるであろう。ミス信号はまたDRAM制御装置35にも送られ、DRAM制御装置35は次の方法で、ミスを解決するように動作する。繰8上のRAS信号と繰9上のCAS信号は、公知の通り、DRAMをプリチャージさせるよう非活動化される。DRAM制御装置35は、行/列マルチプレクサが、行アドレス・フィールドをDRAMへ送るようにさせ、またRAS信号を繰8で活動

クルは、多重列バッファの構造に本質的に関係なく、本技術分野で知られる従来の方法で、実行されても良い。しかしながらキャッシュ/DRAM制御装置35は、静的列バッファ72に記憶されたブロック・データの行の変更に合わせて、TAGレジスタ・ファイルを更新する必要があるであろう。

ここで説明された好ましい実施形態の様々な修正が、本発明の範囲内で可能である。これらの修正は以下の例を含むが、これらに制限されるものではない。TAGレジスタ・ファイル32、コンパレータ34、もしくはDRAM制御装置35のような、キャッシュ/DRAM制御装置3の様々な要素は、各メモリ装置7に含まれるか、もしくは関連する。当然これらを含むことで、これらの回路の多重化が必要とされるが、これは多重メモリ装置システムでは許容されないであろう。前述のように、本発明のシステムで利用されるメモリ装置は、DRAM装置である必要はない。論理及び制御回路は、静的列バッファ72のデータを置

換するか保持するかを決定を行う能力を有しても良い。バス2と10は電気的なものや、光学の、または他の電磁気的のバイアスであっても良い。TAGアドレスのCPU行アドレスの比較は、アレーの各行をブロックTAGコードで示すなど、様々に行われても良い。キャッシュ・ブロックをメモリ・アレーの特定のブロックへ直接マッピングする代わりに、キャッシュのヒット率を増やすように、キャッシュ・ブロックが、論理的な動作で決定されるアレーのいずれのブロックとも関連して良い。これは集合連想法と呼ばれる。特許請求の範囲内の他の修正は、以下の項で説明される。

(1) 機能上、行と列に配置された個々のメモリ・セルのアレーを含み、個々のメモリ・セルの前記アレーのメモリ・セルの行から、データ信号を受けまた記憶するバッファを含み、このバッファは一個以上のブロックに分けられることを含むメモリ装置。

(2) 前記第1項に記載されたメモリ装置において、メモリ装置は静的列デコード・ダイナミッ

ク・ランダム・アクセス・メモリである。

(3) 前記第1項に記載されたメモリ装置において、バッファは静的ランダム・アクセス・メモリ・セルの行を含む。

(4) 前記第1項に記載されたメモリ装置は更に、バッファの各ブロックを別個に付属する手段を含む。

(5) 前記第1項に記載されたメモリ装置において、バッファは更にnメモリ・セルの単一の機能上の層を含み、nはアレーの列の数に相当し、s部に分割され、sは1よりも大きい。

(6) 前記第5項に記載されたメモリ装置において、mは4であり、各部分は $n/4$ メモリ・セルを含む。

(7) 前記第5項に記載されたメモリ装置において、mは8であり、各部分は $n/8$ メモリ・セルを含む。

(8) 中央処理装置を含み、機能上n行とm列に配置されたメモリ・セルのアレーを持つ、少なくとも一つのメモリ装置を含み、前記少なくとも

一つのメモリ装置は、少なくともmメモリ・セルを含むバッファを持ち、前記バッファは機能上メモリ・セルの前記アレーに接続され、前記バッファは機能上一个以上に分割され、前記メモリ装置の制御にキャッシュ・メモリ制御手段を含み、少なくとも一つのアドレス・バスが、前記中央処理装置、前記キャッシュ・メモリ制御回路、及び前記少なくとも一つのメモリ装置の間で接続され、またデータ・バスが、前記中央処理装置と、前記少なくとも一つのメモリ装置の間で接続されることを含む、データ処理システム。

(9) 前記第1項に記載されたシステムにおいて、前記キャッシュ・メモリ制御手段は、前記一個以上のブロックの所定の一個を個々に付属する付属手段を含み、前記アレーの所定の行からのデータのグループを記憶する。

(10) 前記第2項に記載されたシステムにおいて、前記キャッシュ・メモリ制御手段は更に、前記バッファの前記一個以上のブロックの各々に対して、アドレスを記憶するレジスタ・ファイル

を含み、前記アドレスは前記アレーの行に対応し、前記レジスタ・ファイルからのアドレスを、前記アドレス・バスからの行アドレスと比べ、また比較の結果を示す出力を持つコンパレータを含む。

(11) 前記第1項に記載されたデータ処理システムにおいて、前記バッファは機能上四個のブロックに分割される。

(12) 装置からのデータ検索のアクセス時間の高速化に、キャッシュとして静的バッファ(72)を用いる、ランダム・アクセス・メモリ装置(7)。静的バッファ(72)は機能上、二個またはそれ以上のブロックに分割され、各ブロックはアレーの通う行からデータのブロックを持つ。単一のバッファを機能上幾つかのブロックに分割することにより、キャッシュの「ヒット」の可能性が著しく増加し、バッファからのアクセスが速くなる。制御装置(3)は各多量化ブロックの行アドレス(TAG)を記憶し、そのアドレスを望ましいデータの行アドレスと比較し、その比較の結果を信号する。多重隠蔽キャッシュ装置のラ

ンダム・アクセス・メモリ・アレーは、CPU
(1)、アドレス及びデータ・バス(2、10、
11)、制御論理(3)、またマルチプレクサ
(5)を含むデータ処理システムで用いられる。

4. 図面の簡単な説明

第1図は従来の技術の通常のSCD DRAM
のブロック図を示す。

第2図は本発明によるデータ処理システムの機
能を示すブロック図である。

第3図は、第2図のキャッシュ/DRAM制御
装置のより詳細なブロック図である。

第4図は、本発明による第2図の多重キャッ
シュDRAMの、機能を示すより詳細なブロック
図である。

第5図は、アドレス・フィールドを示すCPU
アドレスを示す。

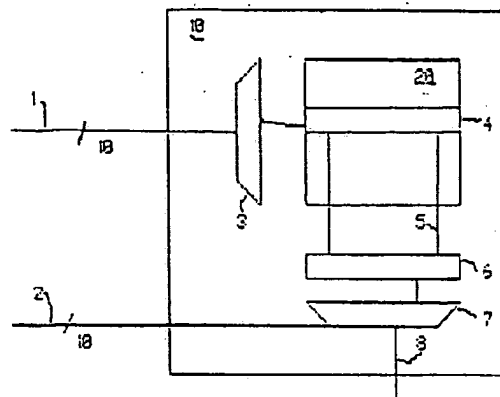
主な符号の説明

- 1 : 中央処理装置
- 2 : CPUアドレス・バス
- 3 : キャッシュ/DRAM制御装置

- 5 : 行/列マルチプレクサ
- 7 : DRAM装置
- 10 : CPUデータ・バス
- 32 : TAGレジスタ・ファイル
- 33 : TAGアドレス・バス
- 34 : コンパレータ
- 35 : DRAM制御装置
- 71 : チャージ・アレー
- 72 : 静的列バッファ

代理人 浅 村 皓

Fig. 1



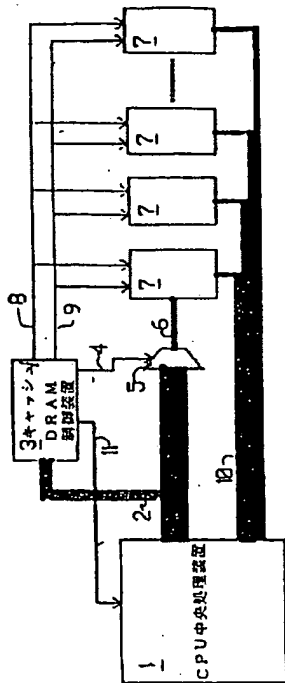


FIG. 2

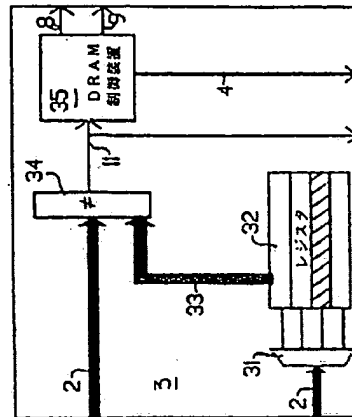


FIG. 3

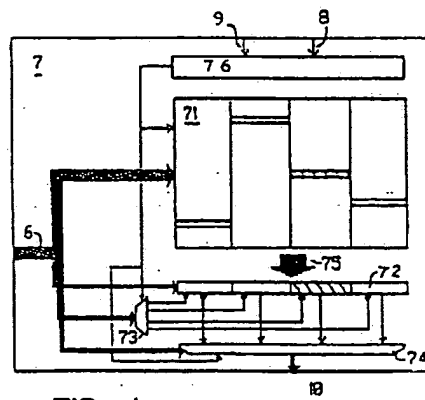


FIG. 4

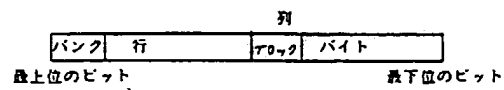


FIG. 5



PatentTranslators.com

Translation of patents from Japanese, German, French, and other languages since 1987.

1304 False Creek Way, Chesapeake, VA 23322
Tel: 757-312-8515 • Toll Free: 1-800-405-2826
Fax: 757-312-8525 • E-mail: mail@pattran.com

ter Meer, Steinmeister & Partner GbR
Einspruch gegen EP 1 197 830
Hynix Semiconductor ./.. Rambus Inc.
Dokument D9

CERTIFICATION OF TRANSLATION

I, Stephen Vlasta Vitek, technical translator and owner
of PatentTranslators.com
1304 False Creek Way
Chesapeake, VA 23322

hereby declare that I am well acquainted with both the Japanese and English languages, as well as a member in good standing of the American Translators Association, Northern California Translators Association, National Capital Area Translators Association, etc., and that the document listed below has been accurately translated, to the best of my knowledge and ability:

Japanese Patent Application Number 02-012687 (Processing System Using Multiple Line Cache DRAM – patent applicant Texas Instruments).

I declare under penalty of perjury that the foregoing is true and correct.

Signature

Date: June 18, 2007

Stephen Vlasta Vitek

(19) JAPANESE PATENT OFFICE (JP)

(12) PUBLICATION OF UNEXAMINED PATENT APPLICATION (A)

(11) Kokai (Unexamined) Patent Publication Number: 2-12687

(43) Date of Disclosure: January 17, 1990

(51) Int. Cl. ⁵	Identif. Symbol	Intra-Agency Number
G 11 C 11/401		
H 01 L 27/108		
	8522-5B	G 11 C 11/34 362 F
	8624-5F	H 01 L 27/10 325 T

Examination Requested: not yet requested
Number of Claims: 1 (total of 8 pages)

(54) Title of the Invention: PROCESSING SYSTEM USING MULTIPLE LINE
CACHE DRAM

(21) Application Number: 1-80240

(22) Filing Date: March 30, 1989

Priority Rights Claim: (32) March 31, 1988 (33) United States (US) (31) 175875

(72) Inventor: Keith E. DIEFENDORFF
Hancock Drive 3504, Austin, Texas
United States of America

(71) Applicant: Texas Instruments, Inc.
North Central Expressway 13500
Dallas, Texas

(74) Representative: Akira ASAMURA, patent attorney.

Specifications

1. Title of the Invention: Processing System Using Multiple Line Cache DRAM

2. Scope of the Patent's Claim

(1) Memory device, operationally containing an array of memory cells which are individually arranged in rows and column, containing a buffer which receives or stores data

signal comprising said array of memory cells having individual memory cells; wherein this buffer is divided into more than one blocks.

3. Detailed Explanation of the Invention

(Sphere of Industrial Use)

This invention relates to a semiconductor memory device, more specifically it relates to a dynamic random access array using the static column decode (SCD) design and to a system using such a device.

Prior Art Technology and Problem Areas

As various requirements have been made in recent years on the data processing systems, their functions and general tendencies have been improved. As processors, in particular microprocessors, have become more powerful and very fast, the systems are able to operate at very high speeds. On the other hand, while the memory has not become faster, the bit size has been increased many times and the cost per bit has been reduced. This is applicable in particular to dynamic random access memory (DRAM). Therefore, many methods have been proposed and developed to enable access to the high-density memory at a more compatible speed so that data could be fetched, used and returned by a microprocessor. According to one of these methods, a cache memory is used to store one portion of the data from the main memory device. This method can be successful provided that at least two conditions are met. One of these two conditions is that the memory access time used by the cache memory must be much faster than the access time of the main memory, and the other is that one portion of the data stored in the cache memory, called by the special term "hit" must have a very probability of being accessed in the microprocessor.

[page 2]

The implementation of these cache memory devices has been developed in the technical sphere.

Because static random access memory (SRAM) devices have fast access times when compared to DRAM memory, they have been used for cache memory. For example, although the general DRAM access time is 120 nanoseconds, the SRAM memory access is generally 20 to 40 nanoseconds. However, the chip/space ratio per 1 bit in the construction of current SRAM devices is high, which is extremely unsuitable for high-density main storage devices. In addition, SRAM devices generally consume much more energy than DRAM devices.

However, it has been proposed that SRAM cache memory be located in DRAM memory arrays. This method provides some solution for problems related to speed which occur when

DRAM is accessed. This method has the following disadvantages: 1) It has been believed that a relatively large cache must be constructed in order to increase the probability of a hit. Due to the space that is needed from SRAM cells, the occupied space is above the allowable limit. 2) The logic and the register support required to realize the cache memory device takes up a very high amount of the physical space on the chip. The increase of the occupied space is probably not allowable in the DRAM chip, and if an off-chip arrangement is used, bus-compatible connections are required and by foregoing most parallel communications, the advantages of on-chip arrangement are lost.

An article by Goodman and Chiang, "The Use of Static Column RAM as a Memory Hierarchy", The 11th Annual Symposium on Computer Architecture, IEEE Computer Society Press, (1994), page 167 ~ 174, proposed the use of the sense-amplifying row in a current static column decode DRAM device, or the use of cache memory with a static row buffer. Since static row buffers are already present in such devices, this solves the problem of the usage of space above an acceptable limit in low-density SRAM cache memory. However, although memory cells which are equal to the number of DRAM and array columns are contained according to this method, the problem is that only one row of cache memory is provided. Therefore, the probability of a "hit" is generally not very high.

Goodman and Chiang also proposed as an improvement to use "by 2" or "by 4" memory devices instead of "by 1" memory device. In other words, to obtain for example the capacity of 1 M bit, instead of using one DRAM array having 1,024 memory cells with one static row buffer, having 1,024 x 1,024 memory cells in one device, a device having four 256K bit arrays is used, each having a static row buffer with 512 cells in lengths. This construction enables four individual accessible "cache" rows because four individual static rows buffers are used. However, this solution has a drawback. Because these "by 4" device are generally more costly than "by 1" devices, it is difficult to ensure error correction using standard error correction codes and procedures. And since such "by 4" devices require many more I/O pins than "by 1" devices, a large package is required. "By 4" devices also require many more on-chip addressable functions than "by 1" devices, and because four individual static buffers are contained, twice as much space is needed when compared to "by 1" devices.

Means and Operation for Resolution of Problem Areas

It is widely known that in order to achieve a high hit ratio with cache memory systems, a large cache is required, which means many memory cells.

[page 3]

However, the inventors have discovered through statistical model analysis and by running real software operations that with conventional microprocessors which run conventional software, the number of segments divided into memory arrays cached in the cache system is much more

important for the hit ratio of the cache than the length of the segment. For example, a line of 1,024 memory cells, cached from a single memory array row, does not have a much greater probability of a hit during a conventional processing run than a cache of 512 memory cells in the length, or even a cache line of 256 memory cells in length. This is apparently because conventional microprocessors and software require very frequently access in continuous memory positions, but these operations are interrupted when random hit access is required and when two and three mode address instructions are executed in memory operations. These interruptions naturally cause dumping of all the cache columns in a single line cache system.

The result of this analysis is that the a cache consisting of two separately stored and accessed blocks or sections having the length of 512 memory cells, which has for example a length of 1,024 memory cells, has a higher chance of a hit than the block or part stored or accessed once. Moreover, for a section of four such blocks having a length of 256 memory cells, a much higher hit ratio is achieved than either with the one or two block construction described above, although the total number of memory cells remains constant. Although the more blocks there are with fewer cells per 1 block, the more efficient is the formation of the increase of the cache hit rate, when the number of about 16 blocks is reached, the logic and control required to address and access each block become a burden relative to the increase of the reached hit ratio. However, it can be expected that many more blocks can be realized with a further improvement of this a control.

The present invention provides a conventional RAM array having a static row buffer which is functionally extended over the width of the device, wherein this static buffer is divided into two or more blocks or section. These blocks or sections provide RAM arrays for multiple cache lines which can be accessed without addressing the array itself.

The present invention provides a data processing system using cache line CDRAM divided into multiple sections or blocks.

According to this invention, unacceptable chip space is not required to create a workable cache.

Furthermore, according to this invention, the cache is established on the chip so that parallel movement of data signal can be easily achieved.

Further, according to this invention, multiple line cache is established without having to use "by 2", "by 4", or "by n" devices.

Also, according to the present invention, a cache memory device is provided which maintains a high "hit probability".

Further, because the present invention uses static RAM elements, a fast access to data signal is achieved.

These and other advantages specific to this invention will be evident from the explanation and figures below.

Embodiments

Figure 1 is a block diagram of a conventional static column decode dynamic random access memory array 100. Dynamic random access memory cells, having n rows and m columns, form a memory cell array 20, connected with m parallel connection paths schematically represented with the reference symbol 5 to a static column decode buffer (SCD) 15. A column data multiplexer 25 is communicating with the SCD buffer 15. The column data multiplexer 25 has address input lines A0 – A10, indicated for example with device bus 26, having in addition as input A0 – A10 indicated with row address multiplexer 27. The static column decode dynamic access memory array, which is well known from prior art, is a data processing system which operates in a conventional manner to store and access data.

[page 4]

The system and the conventional operations of the well known SCD DRAM device form no part of the present invention, except as modified in this explanation. The system embodying the present invention is explained in the reference provided in Figure 2. This system includes a central processing unit (CPU) having an address bus 2 connected to a cache/DRAM controller 3 and a row/column address multiplexer 5. The cache/DRAM controller 3 has a MIS signal output 11 connected back to CPU 1, a row/column address output 4 connected to a row/column multiplexer 5, a row address-strobe output 8 and a column address strobe output 9, which are respectively connected to several DRAM devices 7. The row/column address multiplexer 5 has as output a multiplexed row/column address bus 6, and this is also connected to each of several DRAM devices 7. The DRAM device 7 outputs data to CPU 1 via a CPU data bus 10.

The cache/DRAM controller of the block 3 will now be further explained with reference to Figure 3. The CPU address bus 2 is connected to converter 34 and to a block address demultiplexer 31. The CPU address bus 2 is connected to a comparator 34 and to a block address demultiplexer 31. The block address multiplexer 31 is operationally connected to separate registers of a TAG register file 32, which stores row address instructions for each block of the segmented static column buffer. The TAG register file 32 is communicating with the comparator 34 through the TAG address bus 33.

The comparator 34 outputs through an output line 11 MIS signal back to CPU 11, or to a DRAM controller 35. While the operation of the DRAM controller 35 will not be explained in detail as it is well known in this sphere of technology, it includes an output 8 for row address strobe (RAS), an output 9 for column address strobe (CAS), and a row/column address selector 4. The RAS and CAS signal lines are connected to each row/column address selector 4 is input to row/address multiplexer 5.

The DRAM device of the present invention will now be explained with reference to Figure 4. The DRAM contains a charge array 71, which is provided with a configuration according to prior art. However, the array can also have a modified static random access within the scope of the present invention. The time multiplexed row/column signal is input to the device via a bus 6. A timing and control circuit 76 receives RAS signal 8 and CAS signal 9 and the other control signals required for the operation of the DRAM, which are not indicated here for the sake of simplicity, for example other signals such as READ/WRITE signal. A charge array 71, generally comprising sense amplifiers cells, is in parallel communication with the charge array 71 of the present invention through the circuit line 75. It should be taken into consideration that the charge array 71 of the present invention is shown in the figure segmented into four blocks. Depending on the case, segmentation may not be realized, as in practice, the charge array which is functionally composed of n rows of memory cells arranged in m columns is usually not physically divided into blocks. The division lines are shown to explain the operation of the device in this case. Similarly, the static column buffer 72 is shown divided into four individual blocks as shown. These lines are used to explain the operational division rather than to indicate the physical separation of the static column buffer 72. Each operational block of the static column buffer 72 is connected to a block address demultiplexer and control circuit 73, and to column address control and multiplexer 74. The column address control and multiplexer circuit 74 is connected to CPU data bus 10.

The operation of the system will now be explained with reference to Figure 2 through Figure 5. When, for example, a memory READ cycle is started from the CPU 1, the main cache/DRAM controller normally selects the column address from the CPU address bus 2 through the line 4 connected to the row/column address multiplexer. The address is segmented into several fields, for example as shown in Figure 5. This address is multiplexed onto the DRAM address bus 6.

[page 5]

RAS and CAS are by default activated with lines 8 and 9, so that as is well known, the DRAM is in the static access mode. The cache/DRAM controller 2 decodes the block address field from the CPU address and selects the TAG address register fields 32, which is uniquely related to the decoded block address, or uniquely related to the block addressed in the static column buffer. The TAG register contains, naturally, the row address corresponding to the row address of the charge array 71, from which the block of data presently in that block of the static column buffer 72 was sensed. The TAG address from the TAG register field 32 is output to the converter 34, which compares it here the CPU address input to the comparator 34 of bus 2. If the row address is equal to the tag address, this indicates a cache hit. If the addresses are not equal, this is a cache miss and the comparator outputs the miss signal to the miss line 11.

If a hit is indicated, the cache/DRAM controller will not be operated. This is because during these operations of the controller 3, the column address is used by the DRAM and the data bit is selected from static column buffer 72. The data is moved from the RAM to the CPU data bus 10 and this memory cycle of the PCU is completed.

When a miss is detected, the miss signal is output by the controller 3 to the miss line 11 and signal is output for the CPU 1 to wait for data. If the system timing creates a state in which data is already in the data bus, the data of the data bus 10 is will be ignored. The MIS signal is then sent also to the DRAM controller 35 and the DRAM controller 35 performs operations to resolve the miss according to the method described below. The RAS signal of the line 8 and the CAS signal of the line 9 are inactivated to cause precharging of the DRAM as is well known. The DRAM controller 35 causes the row/column multiplexer to send the row address field to the DRAM and the RAS signal is activated on line 8. Because of that, the DRAM obtains all the row data from the rows addressed in the array 71 and sends it to the static column buffer 72. Next, the DRAM controller 35 causes the row/column multiplexer 5 to multiplex the column address field to the DRAM and activates CAS on line 9. The DRAM decodes the block address with the block address multiplexer 73 so that the block corresponding to the static buffer 72 is loaded to the corresponding data block from the array 71. The other data blocks are not loaded to the static buffer. The DRAM controller then loads to the register corresponding to the TAG register field 32 a new row address. The column address field is then used to output correct data bits to the CPU data bus and the cache/DRAM controller output signals in order to receive data by the CPU.

The operations of the system using the invention were explained with respect to the READ cycle. A WRITE cycle can be executed with a conventional method which is known in this technological field, essentially without regard to the configuration of the multiple line buffer. However, the cache/DRAM controller 35 will be required to update the TAG register file according to the update of the block data stored in the static buffer 72.

Various modifications of the present preferred embodiments which have been explained here can be also realized within the scope of the present invention. These modifications also include but are not limited by the examples described below. As described above, various elements of TAG register field 32, comparator 34, or DRAM controller 34 are related to or included in each memory device 7. Naturally, due to this inclusion, multiplication of these circuits is required, which may not be acceptable for multiple memory device systems. As explained above, the memory device used with the system of the present invention does not require a DRAM device.

[page 6]

The logic and control circuits may include the capability to make a determination as to whether the data of the static buffer 72 is replaced or retained. Buses 2 and 10 may have electrical, optical or other electromagnetic bias. The comparison of the TAG address to the CPU row address may

be performed in different ways, such as by indicating each row of the array with a block TAG code. Instead of direct mapping in a specified block of the array, cache blocks can be associated with any of the blocks of the array as determined by a logical operation to increase the hit rate of the cache. This is called a set-associative method. Other modifications within the scope of the patent claims are described below.

- (1) A memory device, including: individual memory cell arrays arranged operatively in rows and columns, and a buffer which receives and stores data signal from memory cell rows of said array of individual memory cells, wherein this buffer is segmented into more than one block.
- (2) The memory device described in claim 2, wherein the memory device is a static column decode dynamic random access memory.
- (3) The memory device described in claim 1, wherein the buffer includes static random access memory cell rows.
- (4) The memory device described in claim 1, further including a means assigning a function to each individual block of the buffer.
- (5) The memory device described in claim 1, wherein the buffer further includes a single operative line of n memory cells, wherein n corresponds to the number of the array columns, divided into S sections, and s is greater than 1.
- (6) The memory device described in claim 5, wherein m equals 4, and each section contains $n/4$ memory cells.
- (7) The memory device described in claim 5, wherein m equals 8, and each section contains $n/8$ memory cells.
- (8) A data processing system, including a central processing device, at least one memory device having arrays of memory cells arranged operationally in n rows and m columns; wherein at least one said memory device has a buffer containing at least m memory cells; wherein said buffer is operationally connected to said arrays of memory cells, said buffer is operationally divided into more than one section, containing a cache memory control means for the control of said memory device; wherein at least one address bus is connected to said central processing device, said cache memory control circuit and at least one said memory device; wherein the data bus is connected to said central processing device, and to at least one said memory device.
- (9) The system described in claim 1, wherein said cache memory control means comprises a means assigning function, which assigns individual specified functions to more than one blocks so that data is stored in groups consisting of specified rows of said arrays.
- (10) The system described in claim 2, wherein said cache memory control means further includes a register field for storage of addresses corresponding to more than one of said blocks in

said buffer; wherein said addresses corresponding to the rows of said array are compared to the row addresses obtained from said address bus, including a comparator which holds output indicating the result of the comparison.

(11) The data processing system described in claim 1, wherein said buffer is operationally divided into four separate blocks.

(12) Random access memory device (72) using a stationary buffer (72) as a cache to speed up the time access of data elements obtained from the device. The static buffer (72) is operationally divided into two or more individual blocks, and each block has data consisting of differing rows of the array. By dividing the blocks into several functions of a single buffer, the probability of a cache "hit" is greatly increased and a faster access from the buffer is achieved. The control device (3) stores the row address (TAG) of each of the multiple blocks, the address is compared to the row address of the desired data and signal is created which contains the result of this comparison.

[page 7]

The random access memory array having a multiple line cache configuration uses a data processing system including: a CPU (1), address and data buses (2, 10, 11), control logic (3), and a multiplexer (5).

4. Brief Explanation of Figures

Figure 1 is a block diagram showing a customary SCD DRAM according to prior art technology.

Figure 2 is a block diagram explaining the functions of the data processing system according to the present invention.

Figure 3 is a more detailed block diagram of the cache/DRAM control device shown in Figure 2.

Figure 4 is a more detailed diagram showing the functions of the multiple cache line DRAM in Figure 2 of the present invention.

Figure 5 shows the CPU addresses in an address field.

Explanation of Main Symbols

- 1: central processing unit,
- 2: CPU address bus

3: cache/DRAM control device
5: row/column multiplexer
7: DRAM device
10: CPU data bus
32 TAG register field
33: TAG address bus
34: comparator
35: DRAM control device
71: charge array
72: static column buffer

Representative: Akira ASAMURA, patent attorney.

Figure 1

[page 8]

Figure 2

1 CPU (central processing device)
3 cache/DRAM control device

Figure 3

32 register
35 DRAM control device

Figure 4

Figure 5

Bank	Row	Block	Byte
Most significant bit			Least significant bit